

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213397

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205
21/768H 0 1 L 21/ 88
21/ 90B
B

審査請求 未請求 請求項の数2 書面 (全 8 頁)

(21) 出願番号 特願平7-319463

(22) 出願日 平成7年(1995)10月31日

(31) 優先権主張番号 3 3 3 0 1 5

(32) 優先日 1994年11月1日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 マノジ クマー ジャイン

アメリカ合衆国テキサス州プラノ, リオ
グランデ ドライブ 1515, アパートメン
ト ナンバー 2010

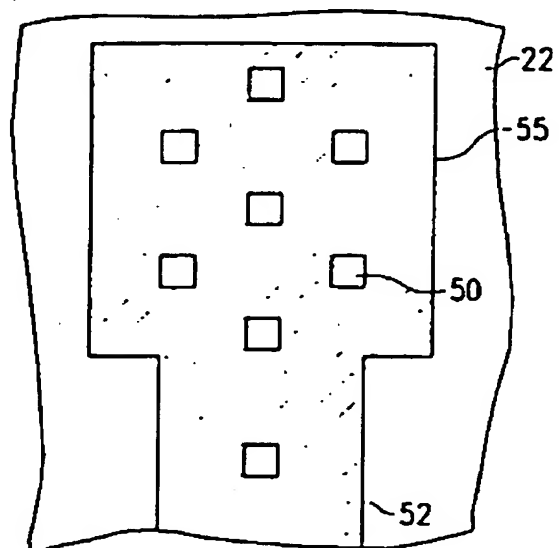
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 ダマスク金属化構造体を備えた半導体デバイス

(57) 【要約】

【課題】 処理ステップの追加もしくは硬質金属の保護被覆を必要とせず、平坦化された配線構造体を形成する低抵抗率、軟質の金属ダマスク導線を実現する。

【解決手段】 ダマスク導線、特に幅広な導線、の損傷（例えば、湾曲変形、スミヤリング、過剰エッチング）を防止するために埋込み柱体を用いる半導体デバイスとその製造方法が開示される。例えば、溝のエッチング形成において1つあるいは複数の柱体が除去されずにそのまま溝の内部に残されて、絶縁層内に溝が形成される。好ましくは主として低抵抗率で比較的軟質の材料、例えば Al、Cu、もしくは Al-Cu 合金、から成る導電膜が前述の絶縁層を覆うように堆積される。その後で、化学的機械的精密研磨が用いられて、絶縁層の溝が形成されていない領域を覆う導電膜の部分が除去され、嵌入された導線が形成される。幅広な導線もしくは研磨用パッドは幅狭な導線よりも研磨中に損傷を被り易いことが発見された。したがって、幅広な導線内に柱体が用いられて、この種の導線の研磨損傷を調節する。



【特許請求の範囲】

【請求項1】 基板上に堆積されて実質的に平坦な上部表面を有する絶縁層に嵌入された導線を備える半導体デバイスを製造する方法において、

(a) 前記半導体デバイス上の予め定められた領域内にある前記絶縁層の少なくとも頂上部分を削去して、前記上部表面内に連続した溝を形成するステップと、

(b) 前記溝の内部に少なくとも1つの柱体を形成し、前記柱体が前記上部表面と実質的に同一平面にある頂部表面を有するようにするステップと、

(c) 前記絶縁層を覆うように導電膜を堆積するステップと、

(d) 前記導電膜の頂部表面が前記絶縁層の前記上部表面と実質的に同一平面にあるように前記半導体デバイスを研磨して、前記溝の内部に前記嵌入された導線を造り出す研磨ステップとを含み、

それによって、前記柱体が前記研磨ステップにおける前記嵌入された導線の損傷を防止する阻止材として作用することを特徴とする嵌入された導線を備える半導体デバイスを製造する方法。

【請求項2】 ダマスク金属化構造体を備えた半導体デバイスであって、前記構造体が、

(a) 基板上に形成され、実質的に平坦な上部表面を有し、前記上部表面内に形成された複数の溝を備える絶縁層と、

(b) 前記溝に嵌入された導線であって、前記導線の頂部表面は前記絶縁層上部表面と実質的に同一平面にあり、前記導線のうちの少なくとも1つは、実質的に前記上部表面の高さまで延びた少なくとも1つの柱体を取り囲むように嵌入された1組の連続した導電性セグメントを備えるように溝に嵌入された導線と、を備えるダマスク金属化構造体であることを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マイクロエレクトロニクスデバイス用の配線層に係り、更に詳しくはダマスクプロセスによって形成される配線層に関する。

【0002】

【従来の技術】 コンピュータや電子機器で見られるような集積回路では、多数のトランジスタやその他の回路素子が単一の結晶シリコンチップ上に組み立てられることがある。所望の機能を達成するためには、単一通路からなる複雑な回路網を配線して、チップの表面に配置された回路素子を接続しなければならない。集積回路の複雑度が増すにつれて、チップを横断する信号の効率的な経路を決定することが次第に困難になってくる。この問題を軽減しようとして、比較的最近までは単一面の金属導線に限られていた相互接続配線が、現今のデバイスでは5層にも（所望なら更に多層に）積層されて配線される

高実装密度の導線を含むことさえあるようになっている。

【0003】 導線／絶縁体相互接続配線層は、典型的には、2つの一般的方法のうちの1つによって形成される。第1の方法においては、導電膜が好ましくは平坦な絶縁層を覆うように堆積される（この絶縁層は通常バイア或いはスルーホールを含んでなり、電気的接続が必要な場合には導電膜が下方にある回路構造体と接触できるようにになっている）。導電膜の一部はマスクパターンを用いて選択的にエッチング除去され、絶縁層上には同一の厚さでほぼ長方形の断面を有する離隔された導線からなる回路網が残る。通常は、パターン形成後に導線は層間絶縁膜（interlevel dielectric）で覆われ、その後に更に別の導電層が付加される。

【0004】 第2の方法はダマスク法（刀剣類を食刻装飾ために古代ダマスカスにおいて完成された金属象眼技術に由来する）として知られ、好ましくは平坦な絶縁層の頂部表面に一連の溝をエッチング形成し、その後でエッチング処理された絶縁層を覆うように（好ましくは溝を導電材料で充填するように）導電膜を堆積する方法に係る。その後の平坦化処理、例えば化学的機械的精密研磨（CMP）によって、導電膜は絶縁層の最上面から除去されるが、溝の内部には導電性金属が残され、その結果として象眼状に嵌入してパターン形成された一連の導線が形成される。このプロセスは、1990年7月312日にバイヤー（Bayer）等に対して発行された米国特許第4,944,836号に詳細に開示されている。

【0005】 ダマスク法はサブミクロンの相互接続配線製作において特に注目されており、周知のように化学的エッチングプロセスによって二酸化シリコンのような絶縁体を異方的に（すなわち、単一方向に）エッチングして垂直壁を有する高アスペクトの（すなわち、深くて狭い）溝を形成できこと、また化学的ドライエッチングでは現在のところパターン形成が困難な低抵抗率、高銅含有比の導線材料を使用できること、更には、このプロセスは本質的に平坦化相互接続配線層を形成することなどは、多重面相互接続配線（multilevel interconnection）にとって極めて望ましい。

【0006】

【発明が解決しようとする課題】 1993年11月16日発行の米国特許第5,262,354号にはコート（Cote）等によって特許請求された改良されたダマスクプロセスが開示されている。コート等は、Al-Cu合金のような低抵抗率、軟質の金属に直接に適用されるダマスク研磨法に関して、スクラッチング、スミヤリング、腐食、および湾曲変形（導電材料が絶縁体の頂部表面より低い水平面レベルにまで下がることもある）を含む数個の問題点を指摘している。この問題に対するコ

10

20

30

40

50

ート等の解決方法は、軟質金属を堆積して絶縁体の頂部表面から数百nmないしは数百Åまでのとこまで溝を充填し、研磨に先立って、それを耐摩耗性、高抵抗率の層（例えば、タングステンのような耐熱金属）で被覆する方法である。かかる解決方法の一つの難点は、所要の深度許容範囲で軟質金属を異方堆積するためには正確な制御手段が必要なことであり、特に溝の深さおよびウェーハ全域にわたる金属堆積速度に平均的な変動がある場合に問題となる。導線の高さおよび／または幅に関する補償が設計に組み入れられない限り、比較的高い抵抗率の耐熱性キャップ層は所与の面に製作される全導線の抵抗の増大をもたらす。

【0007】

【課題を解決するための手段】本発明は、低抵抗率、軟質の金属ダマスク導線を備えるダマスク導線を実現するための新規の相互接続配線構造体およびその製造方法を提供するものであって、処理ステップの追加もしくは硬質金属の保護被覆を必要としない。研磨時に観察される導線の湾曲変形および過剰エッチングのような問題は、導線の幅に関連しており、またそれゆえに研磨プロセスに関わるものとして導線の実効的な「幅」を調節することによって制御可能であることがこのたび判明した。

【0008】典型的な相互接続配線面は種々の異なる幅の導線を含んでなる。作動中に微小電流を流す導線は、固有の製造プロセスに関する設計法則で確立された最小幅を用いてレイアウトできる。大電流を流さなければならない他の導線、もしくは他の設計要求（例えばアラインメント許容度）に合致しなければならない他の導線は、それよりも大きな幅でレイアウトできる。現在までに観察されたところによると、比較的幅広な導線（例えば幅数 μm ）はダマスク研磨中に激しく湾曲変形するのに対して、幅狭な導線（例えば幅0.5 μm ）は同じ期間に殆どもしくは全然湾曲変形することなく研磨される。この現象の原因は未だ十分には解明されていないが、一説によると、柔軟な研磨用パッドは比較的幅広な溝の位置で若干変形し、溝から導電材料を急速に削去する。一方、このパッドは幅狭な溝の表面を「かすめて滑る」ので、周囲の絶縁体のエッチング速度に比較して区別し得るほど速く幅狭な溝から導電材料をエッチング除去することはない。

【0009】ダマスク研磨において一般に選択される研磨条件では、下地の絶縁層の研磨速度に比較して導電膜の研磨速度を相対的にはるかに速くするようにする。したがって、本発明は、導電膜の堆積に先立って、適度な高さを有する柱体（pillar）を耐摩耗性研磨用パッド支持材として大形溝の内部に分散させることによって実現する。この柱体は構造的にはこのような大形溝における過剰エッチングあるいは湾曲変形を防ぐ役割を果たし、幅広な溝を覆うように堆積された導電材料の研磨におけるエッチ阻止材として作用する。このような柱体

を形成する一つの方法としては、溝をパターン形成するために用いられるマスクに柱体形成の計画を盛り込み、下地の絶縁層材料からなる柱体が溝形成後に残るようにする。代替方法として、溝の内部に絶縁性または導電性の材料（後の工程で堆積される導電膜よりも研磨しにくい材料）からなる別個の層を堆積して、柱体を形成するようにパターン形成してもよい。

【0010】したがって、本発明は実質的に平坦な上部表面をなすように基板上に堆積された絶縁層を備える半導体デバイス上に嵌入された導線を形成する方法を提供するものである。この方法は、デバイス上の所定の領域内にある絶縁層の少なくとも頂上部分を除去して、絶縁層の上部表面に連続した溝を形成するステップを含む。この方法は、少なくとも1個の柱体を溝の内部に形成し、その柱体の頂部表面は絶縁層の上部表面と実質的に同一平面上にあるようにするステップを更に含む。この方法は、絶縁層を覆うように導電膜を堆積するステップと、半導体デバイスを研磨して、導電膜の頂部表面が絶縁層の上部表面と実質的に同一平面上にあるように溝の内部に嵌入された導線を造り出すステップとを更に含む。柱体は、嵌入された導線が研磨ステップにおいて損傷するのを防ぐ役割を果たす。

【0011】本発明は、基板上に堆積されて実質的に平坦な上部表面をなす第1の絶縁層を備えるように半導体デバイス上に設けられるダマスク相互接続配線層を形成する方法を更に提供する。本方法は、第1の絶縁層の少なくとも頂上部分の一部を除去して所定のパターンを形成し、絶縁層の上部表面に連続しない複数の溝を形成するステップを含む。この溝のうちの少なくとも1つは1組の連続する溝のセグメントからなり、このセグメントは実質的に第1の絶縁層の上部表面の高さまで延びる柱体を少なくとも1個の取り囲む。この方法は、前述の第1の絶縁層を覆うように導電膜を堆積するステップと、第1の絶縁層を削去するよりも速い速度で導電膜を削去するようにデバイスを化学的機械的に精密研磨するステップ（CMP）とを更に含む。CMPは、好ましくは導電膜の頂部表面が実質的に第1の絶縁層の上部表面と同一平面をなすところで終わり、溝の内部に嵌入された複数の導線を形成するようにする。

【0012】本発明は、基板上に形成された第1の絶縁層を備え、複数の溝を有して実質的に平坦な上部表面をなす半導体デバイス上に設けられるダマスク金属化構造体を更に提供する。この構造体は、溝の内部に嵌入された導線であって、導線の頂部表面が第1の絶縁層の上部表面と実質的に同一平面にある導線を更に含む。また、前述の導線のうちの少なくとも1つは1組の連続した導線セグメントであって、実質的に第1の絶縁層の上部表面の高さまで延びる柱体を少なくとも1個取り囲むように嵌入される。この構造体は、第1の絶縁層と、嵌入された導線を覆うように堆積された第2の絶縁層を更に含

【0013】

10

20

40

50

【００１９】図７は、２つの交差導電セグメント５６を備え、３本の柱体５０を取り囲む柱体付の導線５２の

平面図を示す。このような配列は、図5の開路した導線配列よりも低抵抗で冗長性に富む導電路を有し、しかも研磨時には同等に作用する。導線が大断面を必要とし、導線幅が1個よりも多い柱体が配置できる場合には、図8および図9に示す柱体付導線52のように、更に精巧な柱体パターンが選ばれる。これらの柱体パターンにおいては、それぞれの導電セグメントの差異を少なくするように留意すべきである。図10は、一端に柱体付のランディングパッド55を備えた網状の導線52を示す。構想によっては、図9に示したように、縁端の柱体54が形成されることもある。極端な場合には、図11の導線24に接続されたランディングパッド55のように、縁端の柱体54のみが柱体パターンに含まれることがある。

【0020】図12は、2つの導線面からなる部分を示す平面図である。第1の導線面は1本の柱体付導線52と無柱体導線64を含み、無柱体導線64のうちの2本は導線52で終わり、1本は柱体付ランディングパッド55で終わっている。後者の導線は、バイア58を介して上方の金属化層（上方の導線面はダマスクプロセスによって形成されるものでも、そうでないものでもよい）の導線60に電気的に接続されている。

【0021】図13は、線13-13に沿った断面の正面図を示し、散在する絶縁層のレイアウトが一層明瞭に見える。第1の絶縁層22は、絶縁柱体50を含み、導線52および64と実質的に同一平面にある上部表面を有する。第2の絶縁層59（好ましくは二酸化シリコンからなる）は、前述の導線および第1の絶縁層22を覆うように堆積されてよい。実施態様によっては、公知の二重ダマスク法のように、バイアハードマスク61（例えば、窒化シリコンからなる）が層59を覆うように堆積され、バイア58の位置でパターン化されてもよい。第3の絶縁層62がハードマスク61を覆うように積層され、59、61、および62がダマスク絶縁層の構成層として示してある。このようなパターン形成ステップでは、ハードマスク61が選択的エッチングにおける阻止材として用いられ、所定の領域内の最上部の構成層、例えば第3の絶縁層62を除去することによって溝が形成されてもよい。この場合は、予め描かれたバイアパターンがマスク60の開口部分に残り、嵌入導線60用の溝を形成するエッチングと同一のエッチングによってバイア58が形成できる。

【0022】上述した実施の形態は、柱体が溝外壁と同時に、絶縁材料からなる同一の層から製作される設計を主として示すものである。この設計は処理方法の変更が最小限で済む点において有利である。しかし、図1のBのような溝を完成し、その後で柱体を溝の内部に別の堆積手段によって形成することも可能である。例えば、溝が二酸化シリコン層にパターン形成される場合には、柱体は窒化シリコンで形成されてよい。代替方法として、

タングステンのように他の導線部分を形成する金属よりも緩やかに研磨される導電性の材料で柱体が形成されてもよい。図14のAおよびBは、このような柱体を製作する方法を示す。柱体形成材料70（これは絶縁性でも導電性でもよい）は溝パターン形成後の絶縁層22を覆うように、恐らく溝の深さと実質的に等しい深さまで、堆積される。柱体形成材料70は、その後で溝24の内部に柱体72を形成するようにパターン化され、後続のステップで先述したダマスク処理を完成することもできる。

【0023】上述の実施例は制限的というよりもむしろ例示のためのものであり、本発明は本明細書で説明する特定の実施例に限定されると考えるべきではない。本明細書に開示した原理は、同一の効果を発生するが本明細書に示していない他の多くの柱体および／または導線パターン形成を設計するために使用できる。一般的に言えば、研磨時における大面積導体の損傷を防止する特性を有する柱体のような支持材はすべて本発明に包含されるものである。導線自体は、半導体プロセスに適応する殆どすべての導電材料から形成されてよく、使用可能な材料の例を挙げれば、Ti、TiN、TiW、W、Al、Cu、Pd、およびこれらの組合せを、合金あるいは順次積層化構成層として使用できる。本明細書に開示した絶縁材料（単独あるいは組合せ形態の二酸化シリコンおよび窒化シリコン）は代表例であり、有機物含有誘電体、スピノングラス、その他も使用可能である。所与の半導体デバイスを最小抵抗にするためには、柱体を少なくとも一水平寸法について最小設計法則の規定に合わせて形成する。しかし、導電セグメント幅（例えば、柱体から柱体までの間隔および柱体から導線壁までの間隔）は、実施者が得たいと考える許容可能な研磨損傷の防止レベルに設定してもよい。

【0024】以上の説明に関し、更に以下の項を開示する。

(1) 基板上に堆積されて実質的に平坦な上部表面を有する絶縁層に嵌入された導線を備える半導体デバイスを製造する方法において、(a) 前記半導体デバイス上の予め定められた領域内にある前記絶縁層の少なくとも頂上部分を削去して、前記上部表面内に連続した溝を形成するステップと、(b) 前記溝の内部に少なくとも1つの柱体を形成し、前記柱体が前記上部表面と実質的に同一平面にある頂部表面を有するようにするステップと、(c) 前記絶縁層を覆うように導電膜を堆積するステップと、(d) 前記導電膜の頂部表面が前記絶縁層の前記上部表面と実質的に同一平面にあるように前記半導体デバイスを研磨して、前記溝の内部に前記嵌入された導線を造り出す研磨ステップとを含み、それによって、前記柱体が前記研磨ステップにおける前記嵌入された導線の損傷を防止する阻止材として作用することを特徴とする嵌入された導線を備える半導体デバイスを製造する

方法。

(2) 前記絶縁層は2つもしくはそれ以上の構成層から成り、前記構成層は組成を異にして隣接する、前記第1項記載の方法。

(3) 前記構成層は二酸化シリコン、窒化シリコン、およびそれらの組合せから成る群から選ばれる材料から構成される前記第2項記載の方法。

(4) 前記溝の少なくとも一部分が、前記の予め定められた領域から前記構成層の最上部分をエッチングすることによって形成される前記第2項記載の方法。

(5) 前記エッチングステップが前記絶縁層内にバイアを形成するためにも使用される前記第4項記載の方法。

(6) 前記柱体が前記絶縁層に集積され、ステップ

(a) および (b) が同時に遂行される前記第1項記載の方法。

(7) 前記の少なくとも1つの柱体を形成するステップが、前記絶縁層と前記溝をを覆うように柱体用薄膜を堆積するステップと、前記柱体用薄膜をパターン化しエッチングするステップとを含み、それによって前記柱体を前記溝の内部に形成する、前記第1項記載の方法。

(8) 前記導電膜が2つもしくはそれ以上の構成層から成り、前記構成層が隣接し組成を異にする、前記第1項記載の方法。

(9) 前記構成層が、Ti、TiN、TiW、W、Al、Cu、Pd、およびそれらの組合せから成る群から選ばれる材料から構成される前記第8項記載の方法。

(10) 前記構成層のうちの少なくとも1つが共形的に堆積される前記第8項記載の方法。

(11) 前記構成層の最上部分が、Al、Cu、およびそれらの組合せから成る群から選ばれる材料を、少なくとも90%含んで成る前記第8項記載の方法。

(12) 前記研磨ステップが、研磨剤成分と化学反応剤成分との両方を含んだスラリーを用いる化学的機械的精密研磨ステップを使用する前記第1項記載の方法。

【0025】(13) 基板上に堆積されて実質的に平坦な上部表面を有する第1の絶縁層にダマスク相互接続配線層を設けた半導体デバイスを製造する方法において、

(a) 予め定められたパターンに前記第1の絶縁層の少なくとも頂上部分の一部を除去し、それによって前記上部表面に複数の連続しない溝を形成し、前記溝のうちの少なくとも1つは、実質的に前記上部表面の高さまで延びる少なくとも1つの柱体を取り囲む1組の連続した溝セグメントから成るようするステップと、(b) 前記第1の絶縁層を覆うように導電膜を堆積するステップと、

(c) 前記半導体デバイスを化学的機械的に精密研磨するステップであって、前記第1の絶縁層を除去するよりも速い割合で前記導電膜を選択的に除去して、前記導電膜の頂部表面が前記第1の絶縁層の上部表面と実質的に同一平面にあるようにし、それによって前記溝の内部に複数の嵌入導線を形成するステップとを含み、それによ

って、前記柱体が前記柱体に連なりかつ前記柱体の高さより低い前記導電膜の部分の損傷を防止する阻止材として作用することを特徴とするダマスク相互接続配線層を設けた半導体デバイスを製造する方法。

(14) 前記第1の絶縁層と前記の嵌入された導線とを覆うように、第2の絶縁層を堆積するステップを更に含む、前記第13項記載の方法。

(15) 金属化層を形成するステップを更に含み、前記金属化層が前記第2の絶縁層を貫通して前記ダマスク相互接続配線層に接続されるようにする、前記第14項記載の方法。

(16) 前記の金属化層を形成するステップがダマスクプロセスを使用する前記第15項記載の方法。

【0026】(17) ダマスク金属化構造体を備えた半導体デバイスであって、前記構造体が、(a) 基板上に形成され、実質的に平坦な上部表面を有し、前記上部表面内に形成された複数の溝を備える絶縁層と、(b) 前記溝に嵌入された導線であって、前記導線の頂部表面は前記絶縁層上部表面と実質的に同一平面にあり、前記導線のうちの少なくとも1つは、実質的に前記上部表面の高さまで延びた少なくとも1つの柱体を取り囲むように嵌入された1組の連続した導電性セグメントを備えるように溝に嵌入された導線と、を備えるダマスク金属化構造体であることを特徴とする半導体デバイス。

(18) 前記柱体が絶縁材料から形成される前記第17項記載の構造体。

(19) 前記第1の絶縁層と前記導線を覆う第2の絶縁層を更に備える前記第17項記載の構造体。

(20) 前記第2の絶縁層を貫通して前記ダマスク金属化構造体に電気的に接続された金属化層を更に備える前記第19項記載の構造体。

【0027】(21) 基板上に堆積されて実質的に平坦な上部表面を有する絶縁層に嵌入された導線を備える半導体デバイスを製造する方法において、(a) 前記絶縁層に溝を形成し、前記溝の内部に少なくとも1つの柱体を備えるようにするステップと、(b) 前記絶縁層を覆うように導電膜を堆積するステップと、(c) 前記半導体デバイスを研磨して、前記導電膜の頂部表面を前記絶縁層の上部表面と実質的に同一平面にあるように研磨し、それによって前記溝の内部に前記嵌入された導線を造り出すようにするステップとを含んで成り、それによって、前記柱体が前記研磨ステップにおいて前記の嵌入された導線の損傷を防止する阻止材として作用することを特徴とする嵌入された導線を備える半導体製造する方法。

(22) 前記柱体が前記絶縁体と同じ材料で製作される前記第21項記載の方法。

(23) 前記柱体が前記絶縁体と異なる材料で製作される前記第21項記載の方法。

(24) 前記柱体が絶縁材料で作製される前記第23項

記載の方法。

(25) 前記柱体が導電材料で作製される前記第 2 3 項記載の方法。

【0028】(26) ダマスク導線、特に幅広な導線、の損傷(例えば、湾曲変形、スミヤリング、過剰エッチング)を防止するために埋込み柱体を用いる半導体デバイスとその製造方法が開示される。例えば、溝のエッチング形成において1つあるいは複数の柱体が除去されずにそのまま溝の内部に残されて、絶縁層内に溝が形成される。好ましくは主として低抵抗率で比較的軟質の材料、例えば Al、Cu、もしくは Al-Cu 合金、から成る導電膜が前述の絶縁層を覆うように堆積される。その後、化学的機械的精密研磨が用いられて、絶縁層の溝が形成されていない領域を覆う導電膜の部分が除去され、

10

【0029】関連出願へのクロスレファレンス
本願に次の本出願人による出願を援用して含める。

20

整理番号 T1=19761

米国出願番号 08/315,529

出願日 1994年9月30日

発明者 Jain

【図面の簡単な説明】

【図1】ダマスクプロセスにおいて基板上に堆積された絶縁層に溝を形成するステップを示す断面図である。

【図2】ダマスクプロセスにおいて絶縁層内に嵌入導線を形成するステップを示す断面図である。

【図3】本発明によるダマスク相互接続配線層の形成ステップにおける溝の配列を示す平面図である。

【図4】図3の線4-4に沿う断面図である。

【図5】図4の絶縁層を覆うように導電材料が堆積されるステップを示す断面図である

【図6】図5で堆積された導電材料が研磨除去されるステップを示す断面図である。

【図7】本発明で利用できる嵌入導線の実施例を示す平面図である。

【図8】本発明で利用できる嵌入導線の別の実施例を示す平面図である。

【図9】本発明で利用できる嵌入導線の別の実施例を示す平面図である。

【図10】本発明で利用できる嵌入導線の別の実施例を示す平面図である。

【図11】本発明で利用できる嵌入導線の別の実施例を示す平面図である。

【図12】接続された2つの相互接続配線面の嵌入導線の実施例を示す平面図である。

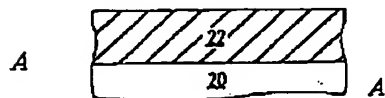
【図13】図13の線13-13に沿う断面図である。

【図14】溝内に柱体を形成するステップを示す断面図である。

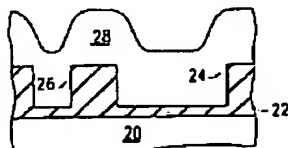
【符号の説明】

- 20 基板
- 22 絶縁層
- 24、26 溝
- 28 導電膜
- 30、32 嵌入導線
- 38 絶縁柱体
- 40、41、42 溝のセグメント
- 50 柱体
- 52 網状導線
- 55 ランディングパッド

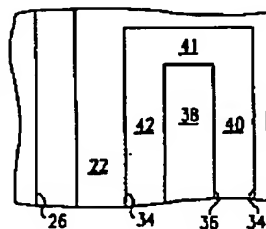
【図1】



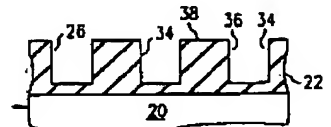
【図2】



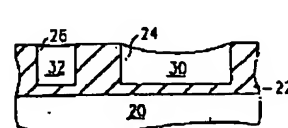
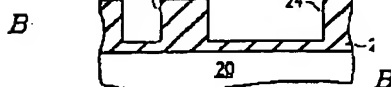
【図3】



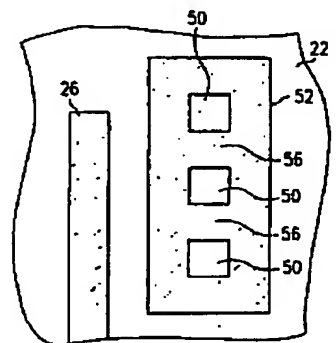
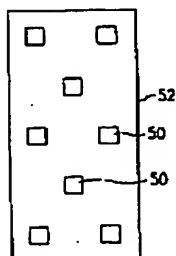
【図4】



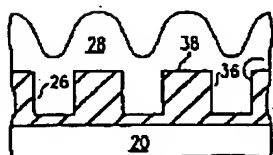
【図7】



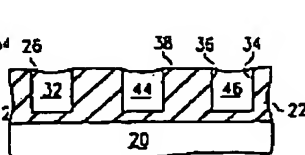
【図8】



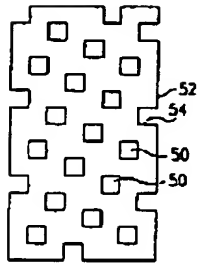
【図5】



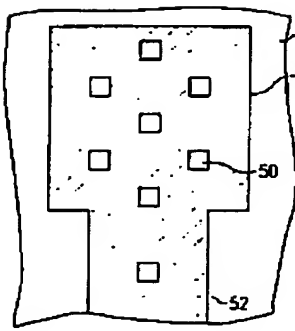
【図6】



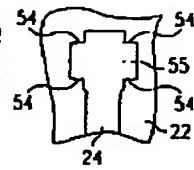
【図 9】



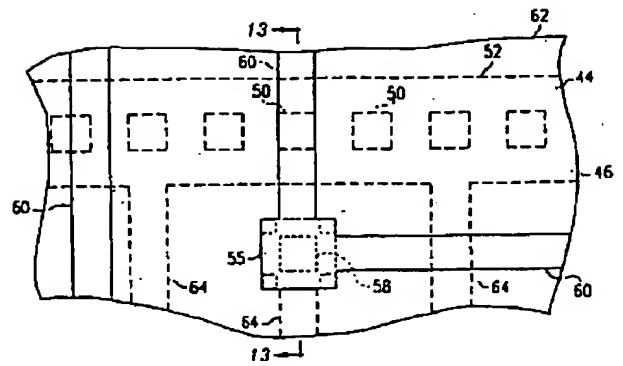
【図 10】



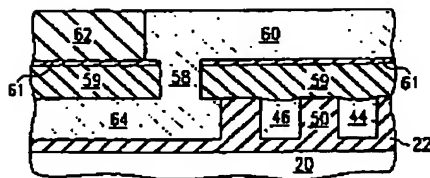
【図 11】



【図 12】



【図 13】



【図 14】

